

Universitatea Tehnică "Gh. Asachi" Iași
Facultatea Electronică și Telecomunicații
Domeniul: Inginerie Electronică și Telecomunicații
Specializarea: Microelectronică, Optoelectronică și Nanotehnologii
Forma de învățământ: zi Anul de studii: 3 Anul universitar: 2007/2008

PROGRAMA ANALITICĂ

a disciplinei **LIMBAJE DE DESCRIERE HARDWARE**

1. **Titularul disciplinei:** Șef lucr. dr. ing. Dănuț Burdia

2. **Tipul disciplinei:** impusă

3. **Structura în planul de învățământ:**

Semestrul	Numărul de ore pe săptămână				Forma de verificare	Numărul total de ore				Total ore pe disciplină
	C	S	L	P		C	S	L	P	
6	3		2		E	42		28		70

4. **Obiectivele disciplinei:**

1. Însușirea elementelor de sintaxă și a principiilor limbajului VHDL pentru modelarea, simularea și sinteza sistemelor digitale.
2. Însușirea elementelor de sintaxă și a principiilor limbajelor de descriere hardware pentru modelarea și simularea sistemelor mixte analog-digitale.
3. Însușirea metodelor și algoritmilor specifici simulatoarelor pentru simularea în domeniul timp a circuitelor electronice analogice, digitale și mixte.

5. **Proceduri folosite la predare și aplicații; cerințe la examinarea studenților:**

Pentru curs studenții beneficiază de suport de curs tipărit și în format electronic. Cursul este prezentat oral la tablă și, parțial, folosind videoproiector. Lucrările de laborator se desfășoară pe baza referatelor de laborator existente în format tipărit și electronic folosind tehnica de calcul și programele software din dotare. În cursul semestrului studenții sunt obligați să efectueze toate lucrările de laborator și temele pentru acasă. La final studenții trebuie să facă dovada însușirii cunoștințelor teoretice și practice dobândite la curs și laborator. Nota finală este alcătuită din nota de la laborator și teme pentru acasă (pondere 35 %) și nota de la examenul scris (pondere 65%).

6. **Conținutul disciplinei:**

a) *Curs:*

Limbaajul VHDL

- Introducere
 - Unitati de proiect in VHDL (entitate, arhitectura, configuratie, package)
 - Elemente de baza ale limbajului VHDL (obiecte, tipuri de date, operatori)
 - Modelarea structurala in VHDL
 - Modelarea dataflow in VHDL
 - Modelarea comportamentala in VHDL (procese, instructiuni secventiale)
 - Funcții și proceduri
 - Elemente avansate ale limbajului VHDL
 - Modelarea sistemelor mixte. Limbaajul VHDL-AMS.
- Algoritmi pentru formularea ecuațiilor hibride pentru n-porturi rezistive liniare
- Formularea unui m-port rezistiv liniar

- Reprezentarea hibridă pentru n-porturi rezistive liniare fără surse
- Reprezentarea hibridă pentru n-porturi rezistive liniare cu surse independente
- Reprezentarea hibridă pentru n-porturi rezistive liniare cu surse comandate
- Analiza rețelelor neliniare prin metoda hibrida
- Formularea ecuațiilor hibride pentru rețele rezistive neliniare
- Varianta liniară pe porțiuni a algoritmului Newton-Raphson
- Algoritmul Katzenelson pentru analiza sistemelor aproximate liniar pe porțiuni.
- Formularea ecuațiilor de stare pentru rețele dinamice liniare
- Formularea cu ajutorul calculatorului a ecuațiilor de stare pentru rețele active liniare.
- Formularea cu ajutorul calculatorului a ecuațiilor de ieșire
- Rezolvarea numerică a ecuațiilor de stare pentru rețele dinamice neliniare
- Existența și unicitatea soluției
- Considerații asupra erorilor soluției problemelor cu valori inițiale.
- Metode de determinare a soluției bazate pe dezvoltarea în serie Taylor.
- Algoritmul Runge-Kutta
- Algoritmi bazați pe aproximarea polinomială a soluției
- Algoritmi de tip predictor-corector
- Modelul discret asociat unui circuit pentru calculul regimului tranzitoriu
- Algoritmi de integrare multipas
- Constrângeri exacte pentru algoritmi multipas.
- Algoritmul Adams-Bashforth
- Algoritmul Adams-Moulton.

Total ore curs 42 ore

b) Aplicații:

Laborator:

1. Protecția muncii, probleme organizatorice
2. Simularea circuitelor – analize fundamentale
3. Proiectarea porților logice CMOS
4. Simularea și caracterizarea regimului dinamic al porților logice CMOS
5. Simularea circuitelor digitale și mixte cu PSpice AD
6. Introducere în VHDL. Compilarea și simularea unui design .
7. Simularea și verificarea modelelor VHDL folosind circuite de test
8. Modelarea data-flow și modelarea structurală în VHDL
9. Modelarea structurală ordonată și modelarea comportamentală în VHDL
10. Modelarea mașinilor cu stări finite în VHDL
11. Funcții, proceduri și package-uri
12. Modelarea mixtă. Implementarea în VHDL a unui algoritm de multiplicare.
13. Sinteza circuitelor digitale cu programul Xilinx ISE 9.1.
14. Test de evaluare a cunoștințelor

Total ore aplicații 28 ore

7. Bibliografie recomandată:

1. D. Burdia, G.S. Popescu, *Proiectarea asistată de calculator a circuitelor electronice. SPICE și VHDL*, Matrixrom, 1999.
2. I.C. Tesu, *Proiectare asistată de calculator*, Rotaprint, Iasi, 1994 (cap. 5-8)
3. Chua L.O. and P.M. Lin, *Computer Aided Analysis of Electronic Circuits*, Prentice Hall, 1975.
4. Vlach, J. and K. Singhal, *Computer Methods for Circuit Analysis and Design*, New York, van Nostrand Reinhold, 1983

5. Ruehli A.E., *Circuit Analysis, Simulation and Design*, Advances in CAD for VLSI, vol. 3, North-Holland, 1987
6. Jenkins D.G. and R.C. Welland, *Software Engineering for Electronic Systems*, IEE Computing Series 18, 1990.
7. J. Bhasker, *A VHDL Primer*, Prentice Hall, 1995
8. S. Sjöholm, L. Lindh, *VHDL for Designers*, Prentice Hall, 1997
9. R.S. Cooper, *The Designer's Guide to Analog & Mixed-Signal Modeling Illustrated with VHDL-AMS and MAST*, Avant! Corporation, 2001
10. D.L. Perry, *VHDL: Programming by Example*, McGraw-Hill, 2002
11. P.P. Chu, *RTL Hardware Design Using VHDL*, Wiley-Interscience, 2006.
12. *** The Design Center, *Circuit Analysis Reference Manual*, MicroSim Corp., 1994
13. www.pspice.com - manuale de utilizare OrCad Pspice A/D 9.1, analiza circuitelor
14. <http://www.vhdl-online.de/~vhdl> - VHDL tutorial, aplicatii, modele
15. www.eda.org - EDA Industry Working Groups
16. www.xilinx.com – Xilinx – FPGA and CPLD solutions

8. Baza materială:

Laborator Proiectare asistată de calculator dotat cu:

- 5 PC Pentium IV, 2.7GHz, RAM 512MB, HDD 120GB, monitor LCD 19"
- 1 PC Pentium IV 2.4GHz, RAM 512 MB, HDD 80GB, monitor CRT 17"
- 1 PC Pentium IV 1.6 GHz, RAM 512 MB, HDD 80GB, monitor CRT 17"
- 4 PC Athlon 900 MHz, RAM 128 MB, HDD 20GB, monitor CRT 17"
- Sisteme de operare: Windows98/2000, Linux
- Software CAD: Modelsim, FPGA Advantage, Xilinx ISE 9.1, OrCad Pspice.

9. Titular curs

Numele și prenumele	Vechime în învățământ	Gradul didactic	Titlul științific
Burdia Dănuț	14 ani	Șef de lucrări	Doctor inginer

3. **D. Burdia**, "VHDL Delay Modeling of Submicrometer CMOS Logic Inverters", Proceedings of the European Conference of Intelligent Systems & Technologies – ECIT 2002, Iași, Romania, July 17-20, ISBN 973-8075-20-3.

4. **D. Burdia**, R. G. Bozomitu, C. R. Comsa, "Some aspects on modelling and characterization of deep submicrometer CMOS gates driving lossless transmission lines", Proceedings of IEEE International Spring Seminar on Electronics Technology – 27th ISSE 2004, Sofia, Bulgaria, May 13-16, 2004, Annual School Lectures, vol. 24 A2, pp. 184-190, ISBN 0-7803-8422-9, ISSN 0861-0797

5. C. Ionascu, **D. Burdia**, B. Dimitriu, "Design and implementation of dual voltage, low leakage, and low power bidirectional CMOS I/O circuits", Scientific Bulletin of the "Politehnica" University of Timisoara, Romania, Transactions on Electronics and Communications, Tom 49(63), Fascicola 1, 2004, pp. 173-177, ISSN 1583-3380

10. Titular aplicatii

Numele și prenumele	Vechime în învățământ	Gradul didactic	Titlul științific
Burdia Dănuț	14	Șef de lucrări	Doctor inginer